

国際ロードマップから見た半導体技術潮流と アカデミックへの期待

(公社)応用物理学会
システムデバイスロードマップ産学連携委員会:SDRJ
委員長 林 喜宏*(慶應義塾)

* AIST/先端半導体研究センター

技術潮流と課題の共有



SDRJレクチャー講演会@MEXT霞ヶ関 or ネット会議

2024/1/24 SDRJ午後セッション			仮題
1330-1430	Zoom	慶大 石黒先生 (OSC)	40分: IRDS OSC技術動向+高速通信(主に、無線)の半導体デバイス回路技術動向
			20分: Q&A&D
1430-1530	霞ヶ関	東工大 横田先生 (AB)	40分: コンピュータシステムの技術動向と半導体への期待
			20分: Q&A&D
1530-1630	Zoom	東大 高木先生 (MM)	40分: 極薄膜ナノシート半導体 (Si, 2D, 酸化物)の技術動向
			20分: Q&A&D
2024/1/31 SDRJ午前セッション			仮題
0930-1030	Zoom	大阪大 古澤先生 (Litho.)	40分: ナノ化学への挑戦: EUV,凝縮相の極端紫外光化学
	霞ヶ関	SDRJ 石内様 (Litho.)	5分: Litho.技術動向.
			15分: Q&A&D
1030-1115	Zoom	東大 内田先生 (MtM/BC)	45分: SDRJ MtM技術動向&超分子およびナノセンサ、ナノ電子材料の熱輸送技術、等
1115-1150	霞ヶ関	九州大 矢嶋先生 (MtM/BC)	30分: MtM技術動向&生物が持つ情報処理ハードウェア「神経回路」技術、等の動向
1145-1200	霞ヶ関	AIST 植田様/秋永様 (BC)	15分: SDRJ BC動向
1200-1220		全員	20分: Q&A&D
2024/1/31 SDRJ午後セッション			
1330-1400	Zoom	理研 佐藤先生 (SA)	30分: IRDS SA技術動向+コンピュータハード視点からの半導体設計・デバイスへの期待
1400-1415	霞ヶ関	慶大 中野先生 (SA)	15分: 半導体回路設計教育(医療応用アナログ含む)の課題と展 ^⑩ 望
1420-1435	Zoom	筑波大 山口先生 (SA)	15分: 半導体デジタルシステム設計の将来技術動向・教育に関する課題
1435-1450		全員	15分: Q&A&D
2024/1/31 関連学振ヒアリング			
1530 - 1630	霞ヶ関	大阪大 杉山先生 学振R026	先端半導体の先端計測技術の将来動向
2024/2/21 SDRJ午後セッション			
1500-1600	Zoom	TEL 真白様 (FI)	45分: IRDS FI DX対応半導体工場システムとアカデミックへの期待

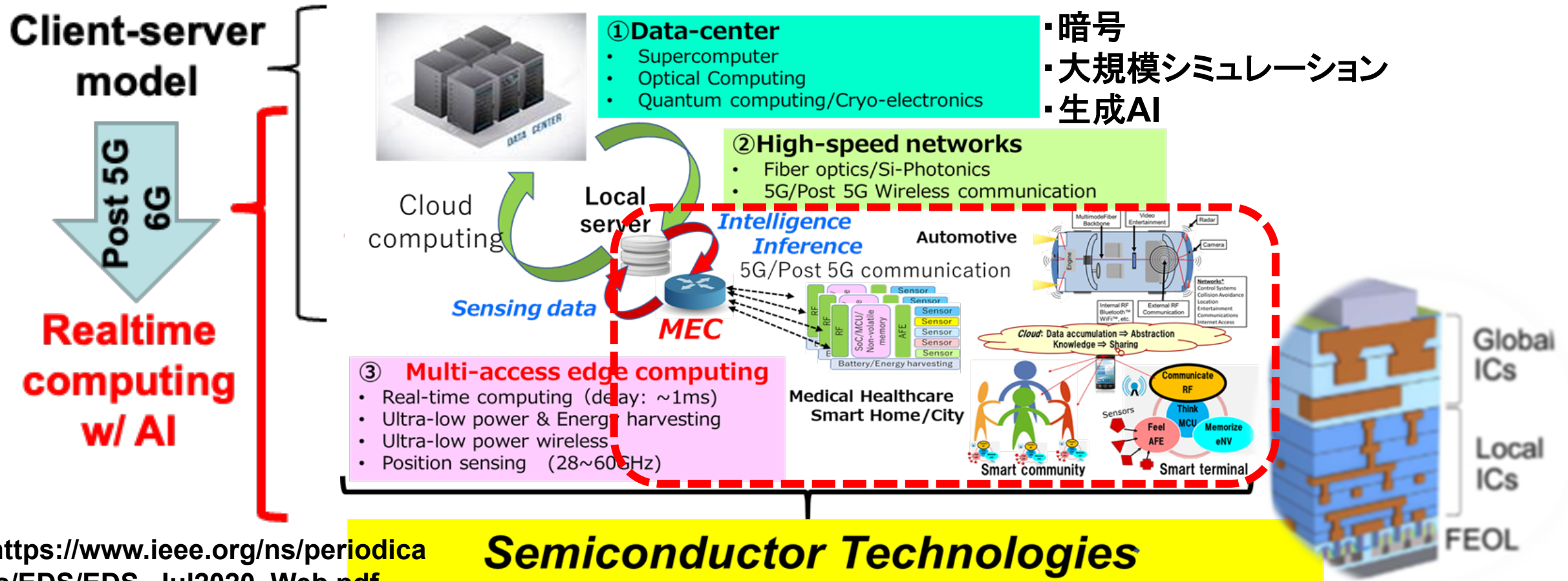
目次

1. IEEE IRDS/JSAP SDRJから見た半導体技術潮流と課題
2. SDRJメンバー（大学）へのヒアリングに基づくアカデミック半導体研究の領域
3. アカデミック半導体研究推進に向けた環境整備
 - 先端半導体共用試作・分析環境
 - 集積システム横断型人材育成（Ph.D.プログラム）
4. まとめ

社会インフラ：リアルタイムコンピューティング

- ✓ 実世界の映像やセンシング情報の大容量・高速(100Gbps)の
- ✓ データ収集低遅延(1ms)*でのAI情報の実世界へのフィードバック

* 人間の遅延知覚時間以下 = 疑似リアルタイムシステム



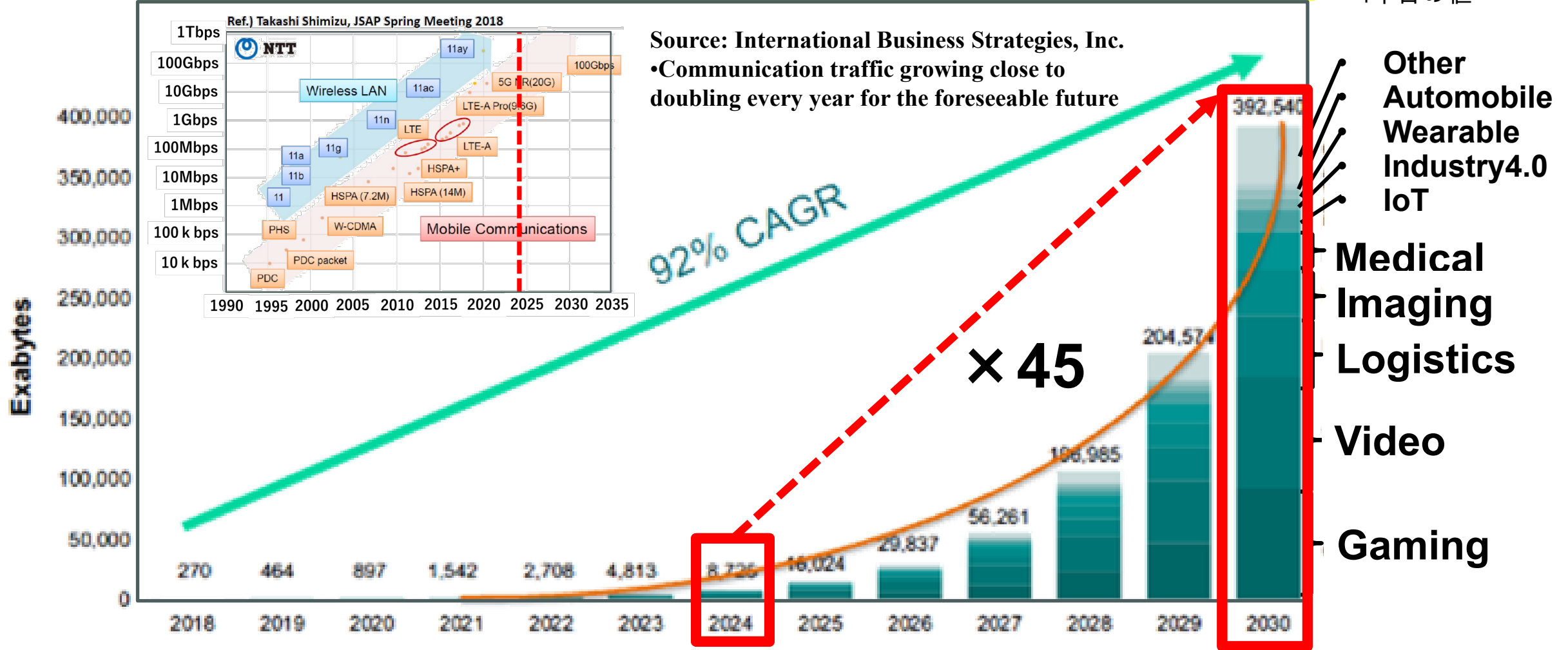
https://www.ieee.org/ns/periodicals/EDS/EDS_Jul2020_Web.pdf

Semiconductor Technologies

出典 IEEE IRDS™ ES 2022 データトラフィックの予測

CAGR(年平均成長率): compound average growth rate=92%

$$\left(\frac{n\text{年目の値}}{1\text{年目の値}} \right)^{\frac{1}{n-1}} - 1$$



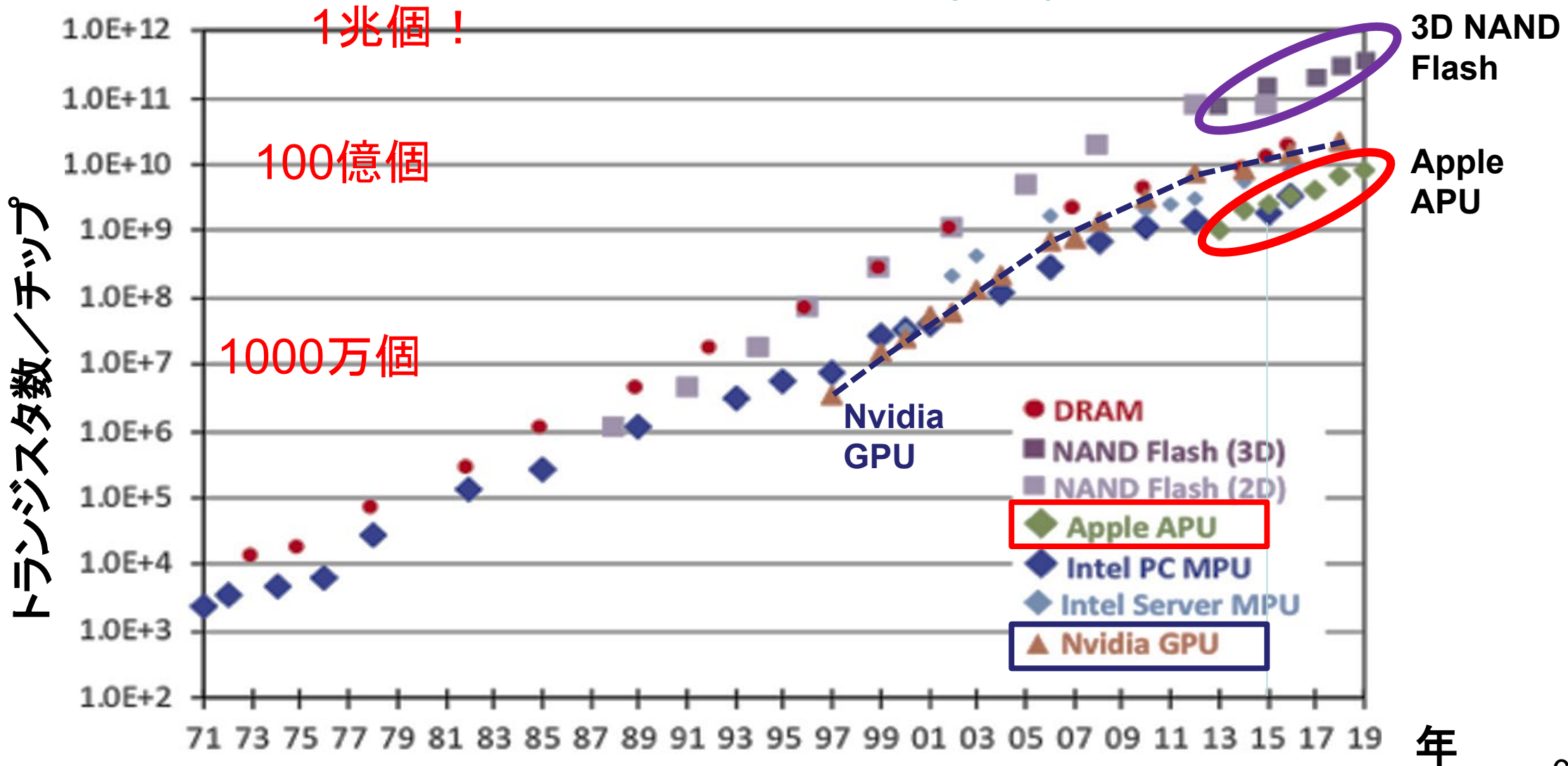
Source: International Business Strategies, Inc. (IBSI, April 2020)

デバイススケーリングによる驚異的な高集積化の進展



Ex. iPhoneX (A12) で約100億トランジスタ/APU

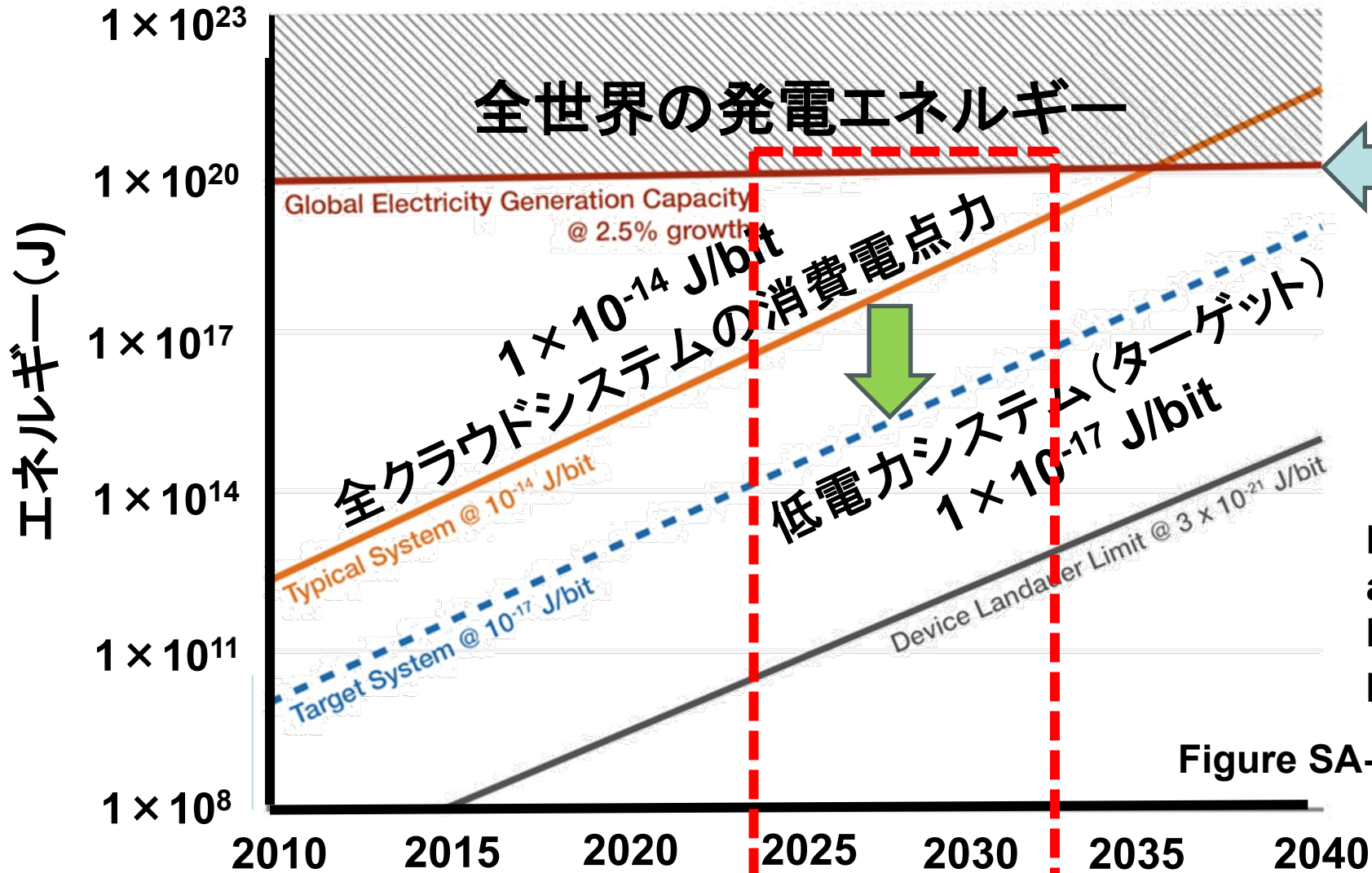
出典 <https://news.mynavi.jp/article/20200324-1001886/>



Sources: Intel, SIA, Wikichip, IC Insights

電力供給量とシステム消費電力

演算システム(bit/J)の3桁効率化が必要!、Green System!



2022年の電力供給量は、前年比2.2%増の2万8,847 TWh (=> 1 × 10²⁰ J)

Ref) IEEE IRDS™ 2023 System and Architecture (SA)
https://irds.ieee.org/images/files/pdf/2023/2023IRDS_SA.pdf

Figure SA-2.

AIプロセッサの性能進展(演算効率)



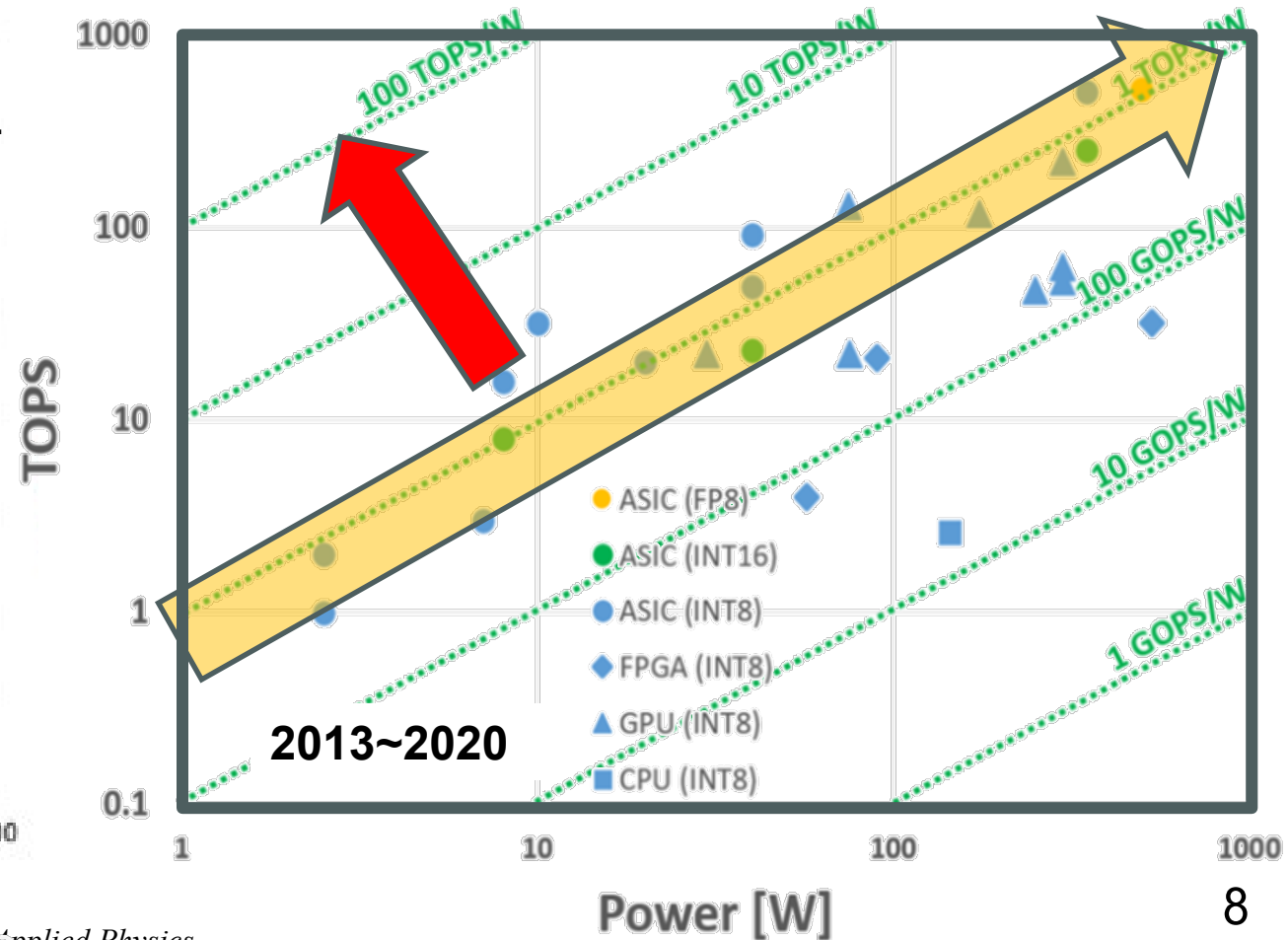
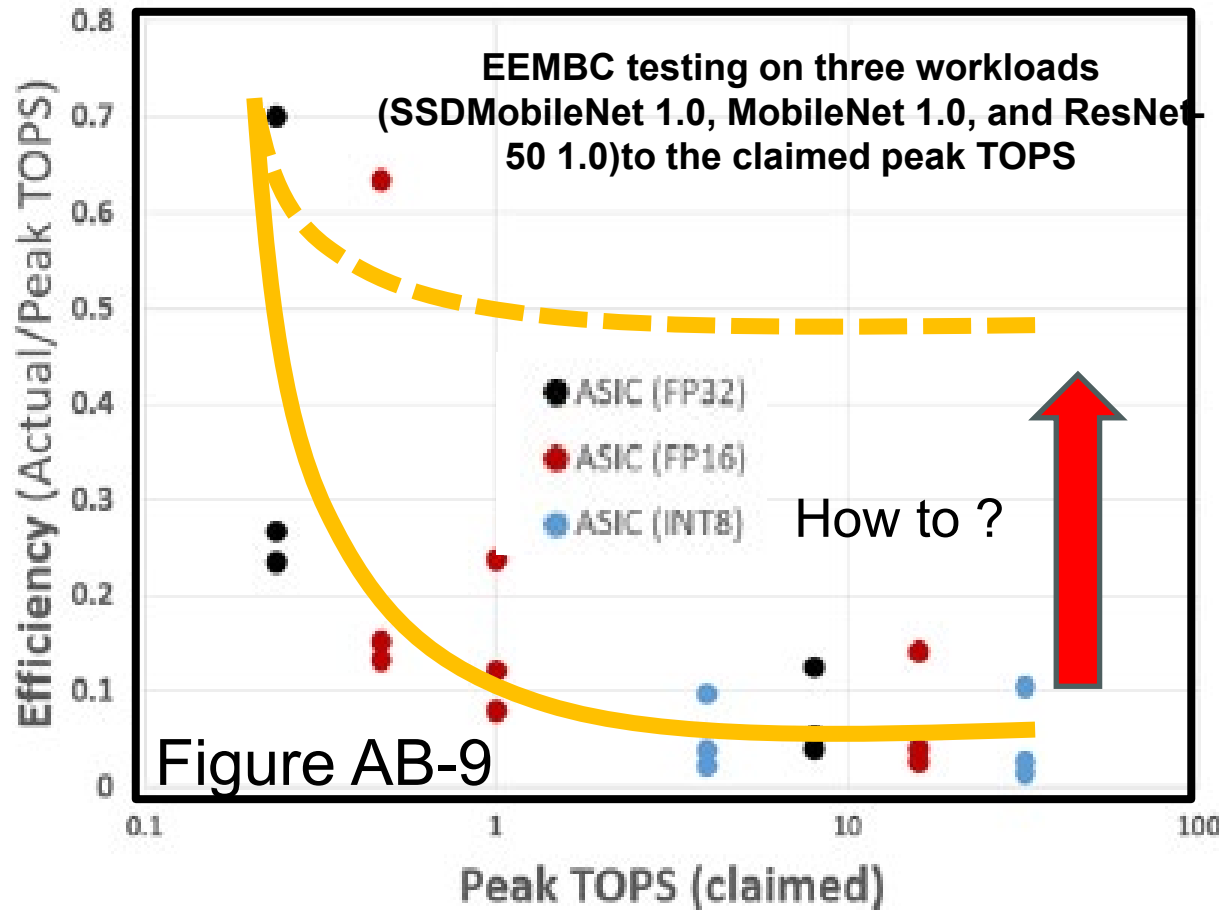
出典: IEEE IRDS™2023 Application Benchmark

https://irds.ieee.org/images/files/pdf/2023/2023IRDS_AB.pdf

AI : メモリ帯域幅と遅延による制約

キャッシュ容量の増加が必ずしもパフォーマンスの向上につながらない。

TOPS vs. Power [W], inference (INT16,INT8,FP8)



Beyond 5Gにおけるデバイス・回路の技術課題

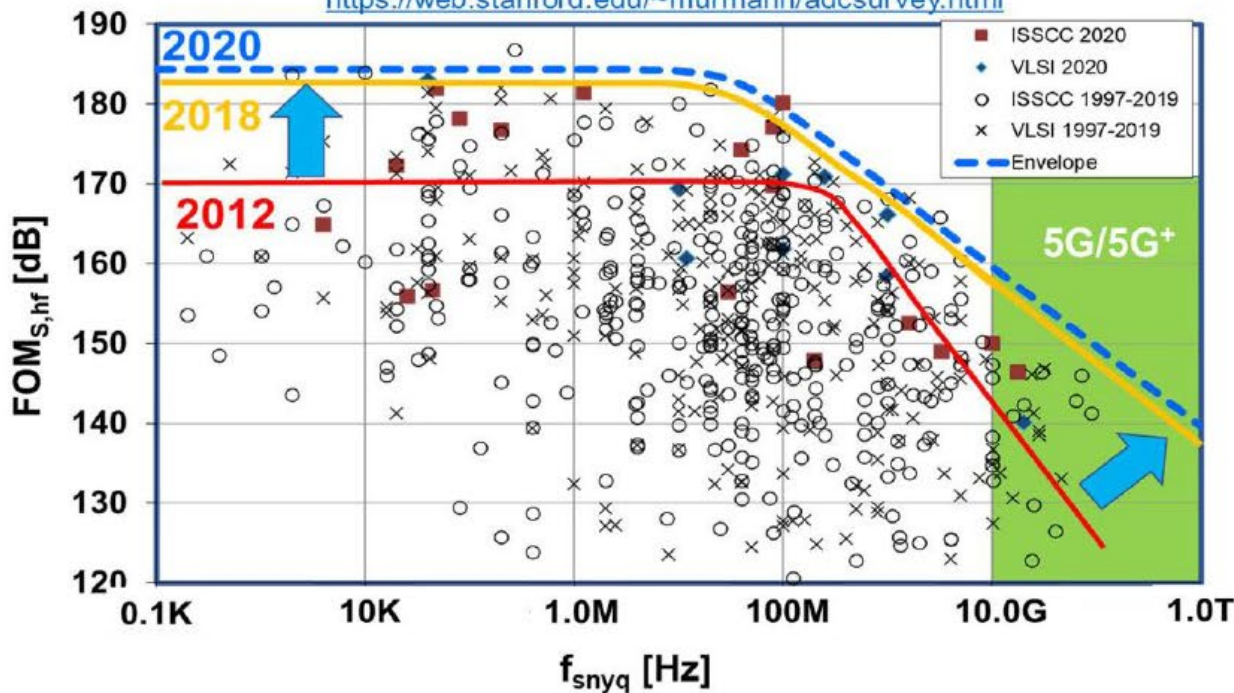
ADC Performance Survey 1997-2021 ISSCC & VLSI Symposium

Power Amplifier Efficiency

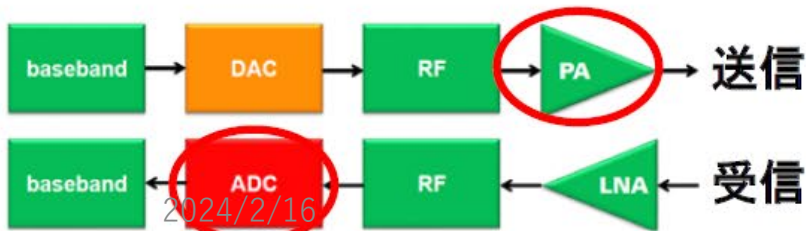
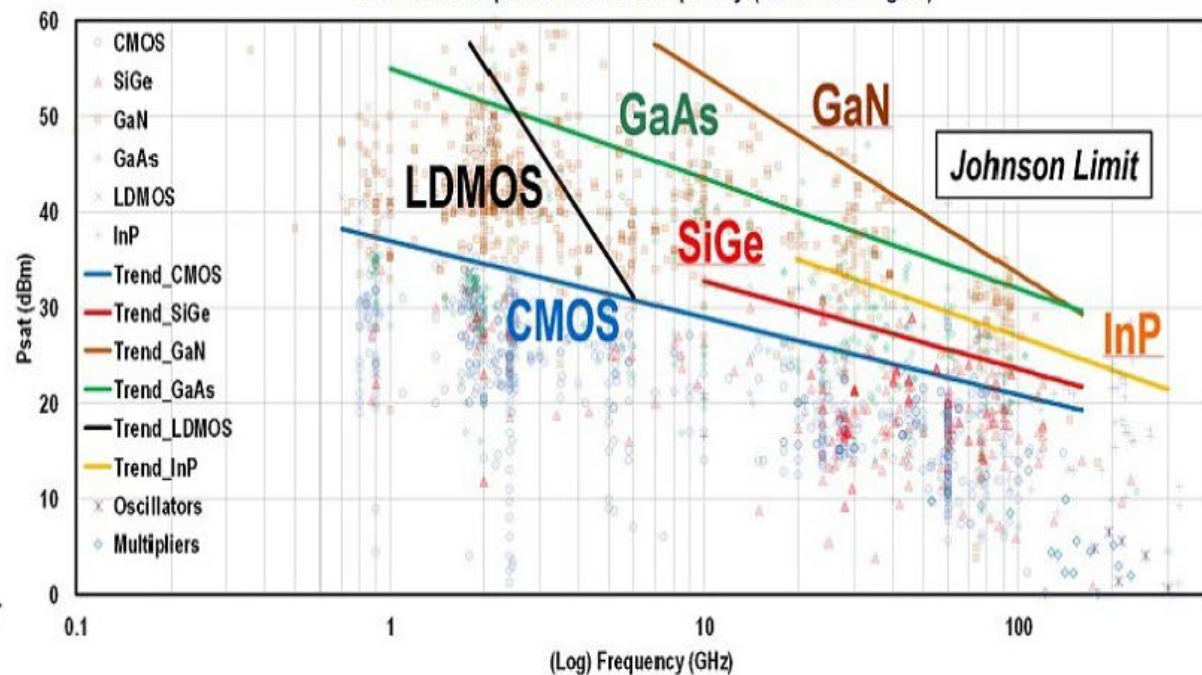
“Power Amplifiers Performance Survey 2000-Present,”
Hua Wang, https://gems.ece.gatech.edu/PA_survey.html

ADC Performance Survey 1997-2020 (ISSCC & VLSI Symposium)

<https://web.stanford.edu/~murmman/adcsurvey.html>



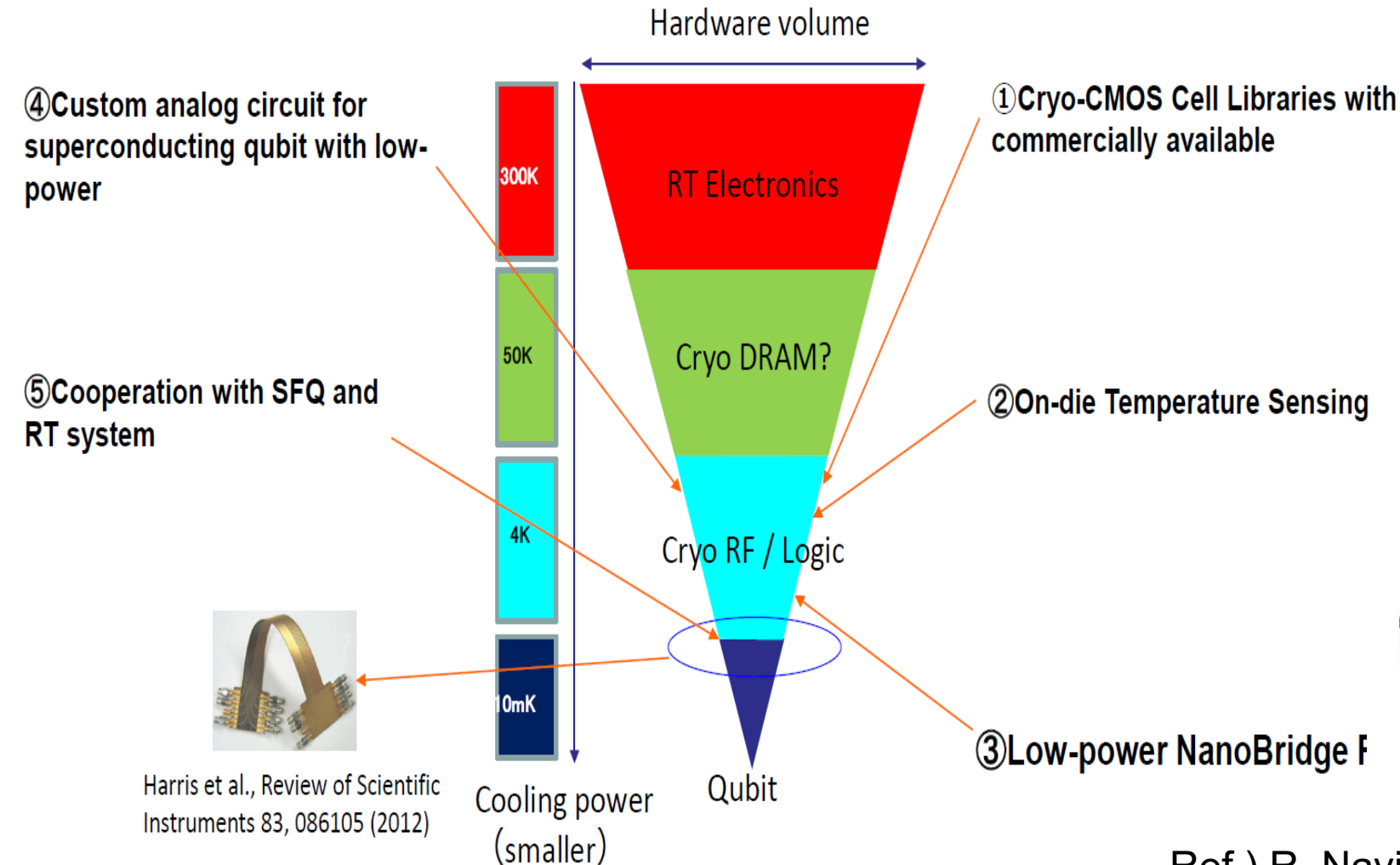
Saturated Output Power vs. Frequency (All Technologies)



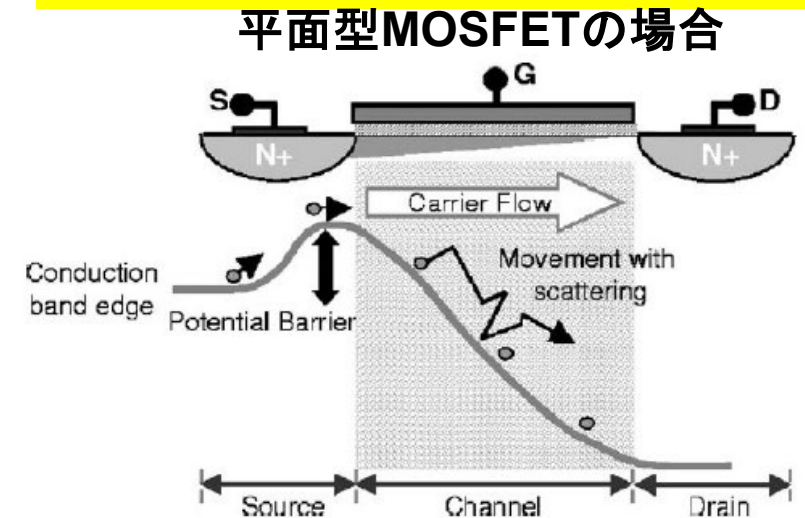
- ADC & DACの電力効率がサンプリング周波数の増大とともに低下
- 電力増幅器(PA)の電力負荷効率がキャリア周波数の向上とともに低下
→ 端末の電力効率が悪化

クライオCMOS技術

超伝導、シリコン、イオントラップ方式の量子ビットの制御、読み出し用に
 クライオCMOS技術が注目を集めている。



CMOSFETのデバイス物理:
 MOSFETのドレイン電流雑音は、ソースのポテンシャル障壁によるショット雑音とチャネルの散乱による熱雑音により決まる。(比率がFano factor)



Ref.) R. Navid, J. Appl. Phys. 101, 124501 (2007) 10

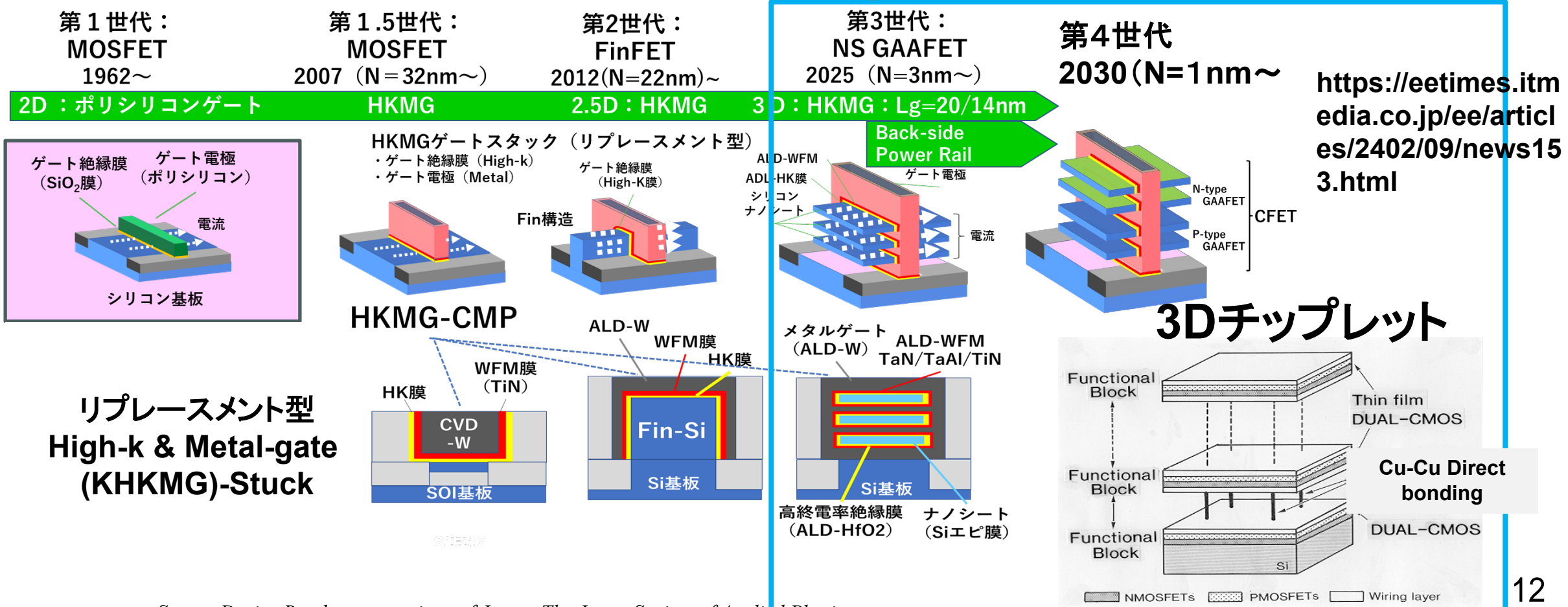
目次

1. IEEE IRDS/JSAP SDRJから見た半導体技術潮流と課題
2. SDRJメンバー（大学）へのヒアリングに基づくアカデミック半導体研究の領域
3. アカデミック半導体研究推進に向けた環境整備
 - 先端半導体共用試作・分析環境
 - 集積システム横断型人材育成（Ph.D.プログラム）
4. まとめ

<ロジック半導体の材料・構造変革への対応>

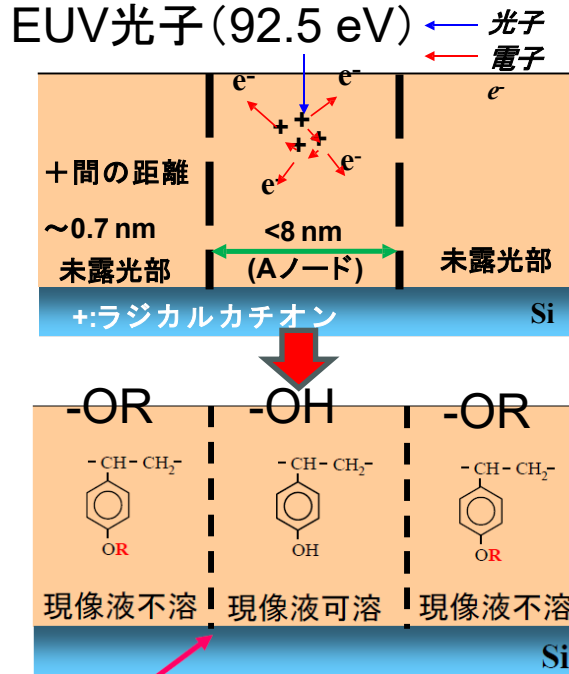
- ・チャネル構造： シリコン基板 ⇒ 薄膜シリコンナノシートへ
- ・ゲートスタック構造： 平面構造 ⇒ 3次元GAA(Gate-all-Around)構造へ
- ・ゲートスタック材料： 多結晶Si//シリコン酸化膜SiO₂ ⇒ 金属//金属酸化物(W/TiN//HfO₂)へ
- ・閾値電圧(V_{th}) 制御： 不純物イオ注入 ⇒ 材料仕事関数差 (WFM: Work-function-metal)

Rapidus(量産)⇔LSTC(研究開発)

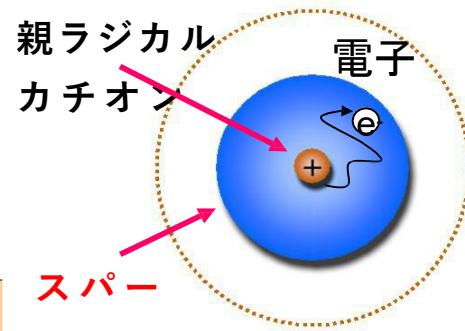


I. 先端材料・プロセス研究の支援

- 次世代EUVレジスト開発 Lectured by Prof. Takahiro Kozawa (Osaka Univ.)



大部分が数ps以内に起こる高速反応



レジスト構成分子の素反応、素過程を解明し、全体を統合し仮の反応機モデリング、シミュレーションコード作製

大型設備:

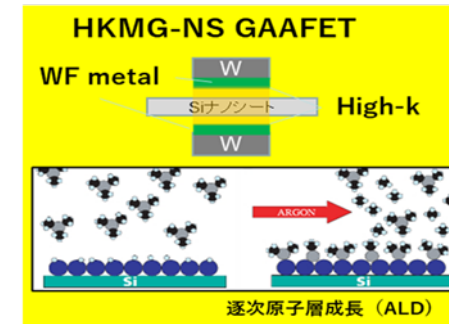
- 電子線形加速器(阪大、東大)
- EUVFEL(SACLA)、EUVプラズマ光源(阪大)
- 放射光(SPring-8)
- * 超短パルス電子線: 時間分解能 < 1 ps

Keyword: **EUV Lithography**
Total publication: 5173



Web of Science 2023年4月29日

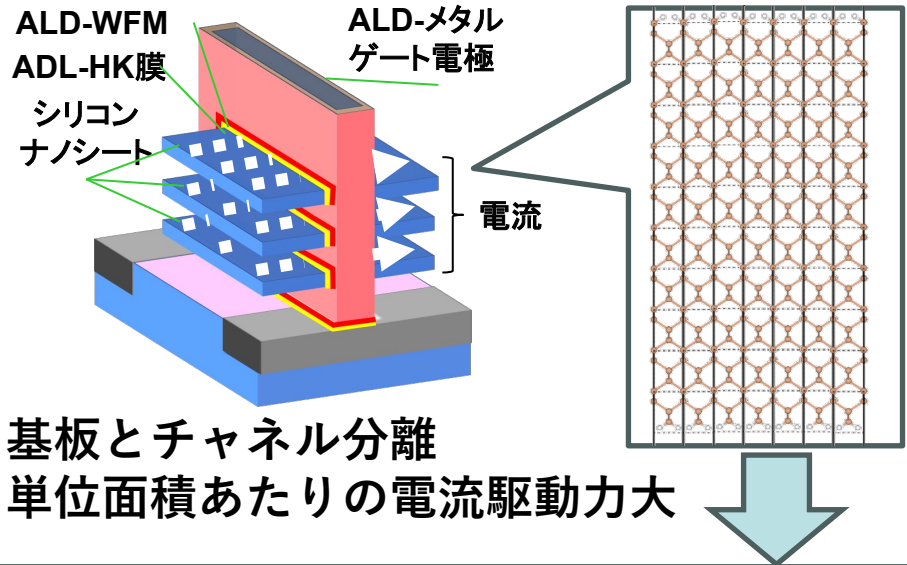
- 選択ALD反応過程解析(Area-selective-deposition: ASD)
- 低ダメージプラズマ源とエッチングプロセス



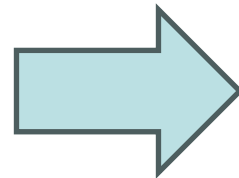
II. 極薄チャネル半導体のデバイス基礎と差異化応用

2030年以降も積層ナノシートGAAFET構造は維持

■ 基礎研究： 第一原理計算・シミュレーション/モデリング



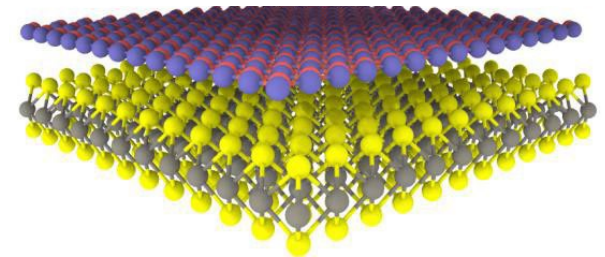
- 基板とチャネル分離
- 単位面積あたりの電流駆動力大



極薄Si-Geナノシート
⇒ 2D材料

t= 5~1nm
分子層

- サブバンド構造
- キャリア有効質量
- 界面トポロジー



■ 差異化回路応用技術

• RFミックスシグナル応用

- ✓ 超並列CMOSパワーアンプ
- ✓ 超高速低電力ADC/CAD
- ✓ 環境センシング対応低雑音アンプ
- ✓ 医療応用ビームフォーミング

• 自律・神経回路網アーキテクチャ

• QC/スパコン連携

- ✓ クライオCMOSデバイス・回路
- ✓ 極低雑音増幅器

III. 3D局所解析技術とスマートファクトリー

- ハイブリッドメトロロジ
- GAA (NW/NS)のための解析要求
- 3Dチップ積層のための解析要求
- CD-SAXとその応用



- 機械学習・AIが解析手法に適応しうるか？
- LabからFabへの移行の重要性
- 複数の物理モデル統合と組成情報を含めたシステムシミュレーション
- 複雑な積層構造における3次元情報
- Virtualメトロロジの導入、など

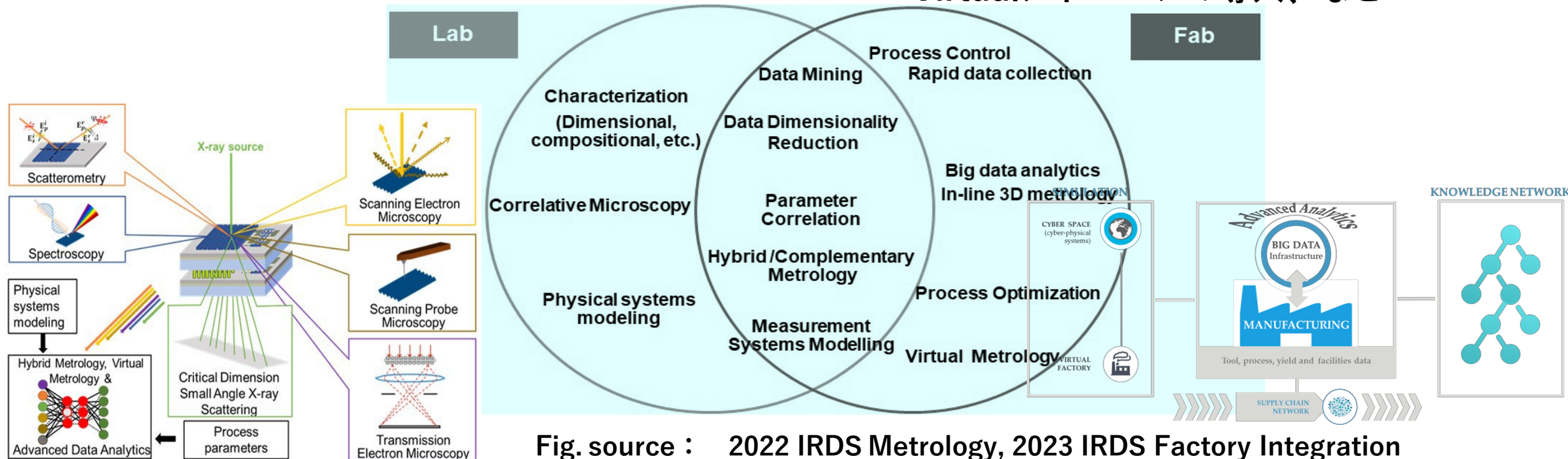


Fig. source : 2022 IRDS Metrology, 2023 IRDS Factory Integration
2023 IRDS Yield Management

目次

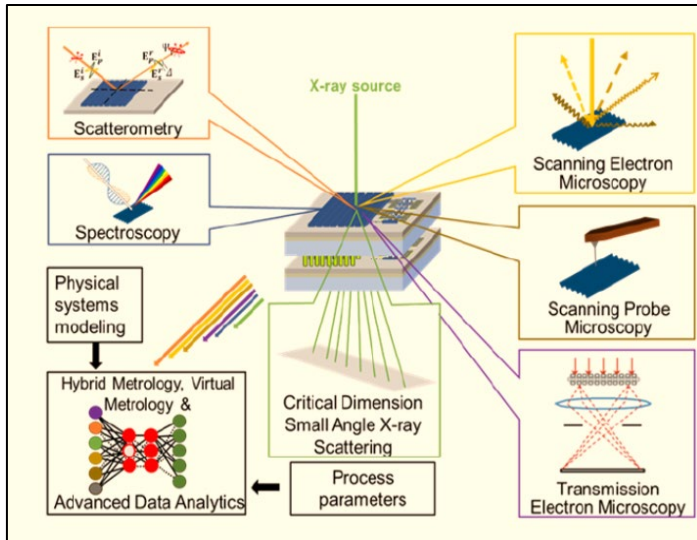
1. IEEE IRDS/JSAP SDRJから見た半導体技術潮流と課題
2. SDRJメンバー（大学）へのヒアリングに基づくアカデミック半導体研究の領域
3. **アカデミック半導体研究推進に向けた環境整備**
 - 先端半導体共用試作・分析環境
 - 集積システム横断型人材育成（Ph.D.プログラム）
4. **まとめ**

3-1: 先端半導体の共用試作・設計環境の整備

- 探索: チップレベル⇒FS:100mmΦウエハ⇒回路検証: 300mmウエハ)
- 自動解析技術を含めたシステムとしての先端解析技術の在り方(国際標準化推進)
- アカデミック利用促進の環境整備(運用マネージメント)
- 共用EDAツール

新材料基板提供

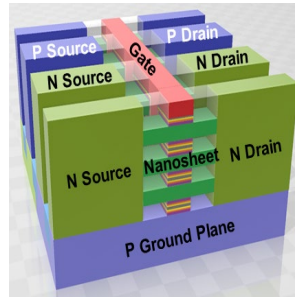
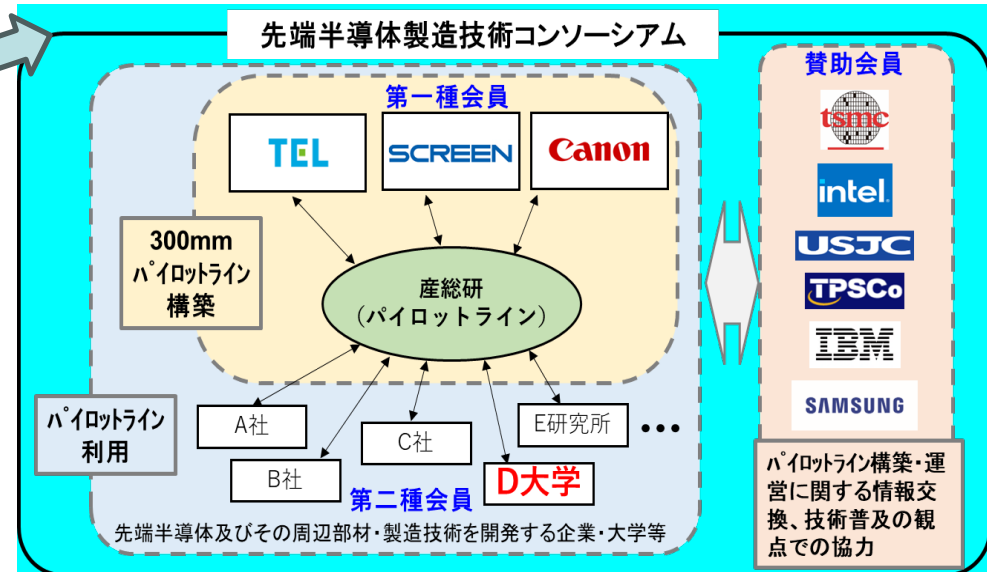
- MOCVD
- 転写張合わせ
- 3D分析・物性評価



可能性検証ライン (100~150mmΦ)

- ・リソ/エッチ
- ・ALD成膜
- ・GAAゲートスタック
- ・洗浄
- ・配線
- ・インテグレーション

300mm実用性検証ライン(SCR)



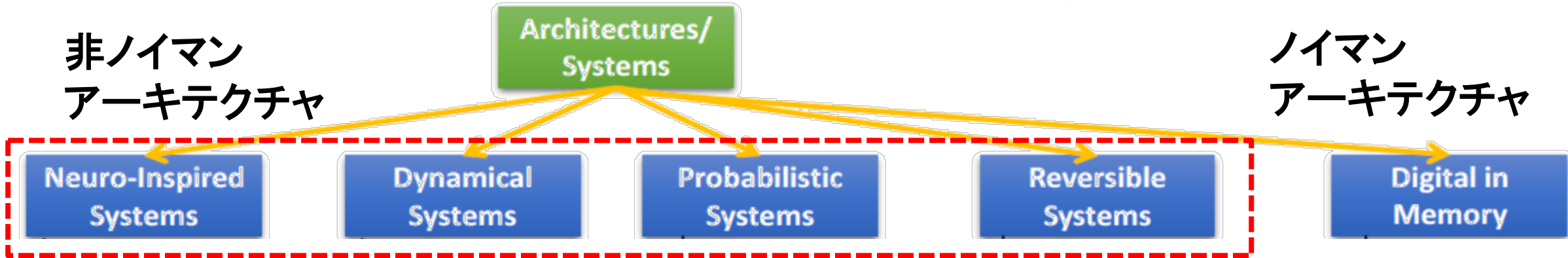
産総研における先端半導体オープンイノベーションの取り組み

この成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の「ポスト5G情報通信システム基盤強化研究開発事業」(JPNP20017) の助成事業の結果得られたものです (FY2021~FY2025)

https://www.tia-nano.jp/data/doc/1635482975_doc_66_0.pdf

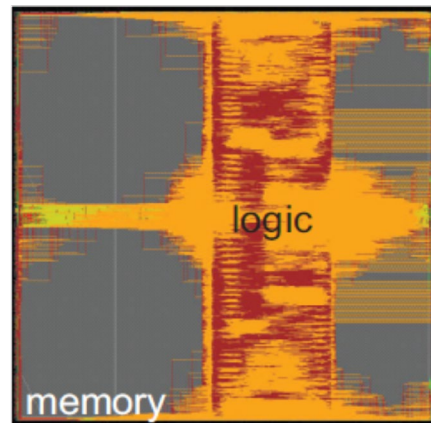
3-2: 集積システム横断型人材育成

AI新原理アーキ・回路・デバイス (大学講座新設) コンピュータサイエンスからのトップダウン

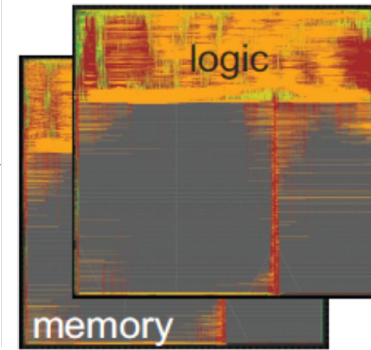
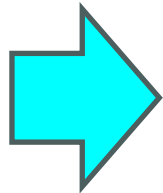


3D-EDA メモリ配置

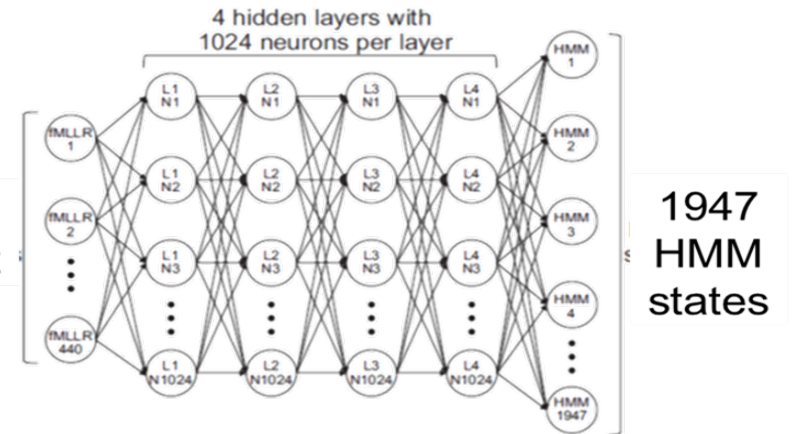
“Monolithic 3D IC
Designs for Low-Power
Deep Neural Networks
Targeting Speech
Recognition”, 2017
IEEE/ACM International
Symposium on Low
Power Electronics and
Design, 2017-07, p.1-6.



2D



440
input

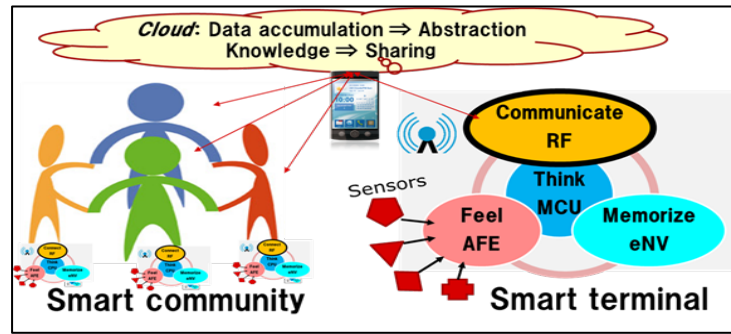


Ex. 推論演算効 (TOPS/W) の現状100倍 シミュレーション検証 & デバイス試作

4. まとめ

- シーズ指向研究から差異化プロトタイプ回路検証まで
- 基礎重視： 第一原理計算・シミュレーション//モデリング
- 研究実施を介した集積システム横断型人材育成と共用研究環境の整備

◆ 実ビジネス：マーケット



◆ 量産工場（短TAT・収益）



ニーズに即応

In:

将来市場の先読み
シーズ探索
・可能性検証
・実用性検証

Out:

差異化・新機能プロトタイプ回路

新機能材料

新構造デバイス
インテグレーション

差異化応用回路

新原理製造装置

集積システム
横断型人材

半導体アカデミック研究

Appendix

I. 半導体プロセス物理化学研究への継続的支援

- ✓ 次世代EUVレジスト開発のキーは、レジスト分子の高吸収化、現像プロセスの刷新と新規レジスト分子の像形成反応の効率的な再最適化
- ✓ 選択ALD反応過程解析や低ダメージプラズマ源とエッチングプロセス

II. 半導体デバイス基礎・応用回路研究への支援

- ✓ GAAFET対応計算物理・シミュレーション
- ✓ 先進医療機器、神経回路網、環境センサー

III. 3D局所解析技術とスマートファクトリ-

IV. 共通先端半導体の試作・設計環境の整備

- ✓ 探索：チップレベル⇒FS:100mmウエハ⇒回路検証：300mmウエハ)
- ✓ 自動解析技術を含めたシステムとしての先端解析技術の在り方
(国際標準化推進)

IV. 集積システム横断型人材育成

- ソフトウェア、アーキテクチャ、システム、回路、デバイス、プロセス、材料、パッケージまで、集積システムに関わる幅広い横断的理解ができる
(layer間の切断面を更新できる) 人材育成の支援
- プロセッサの設計ではEDA (Electronic Design Automation) 環境が重要。
例えば、TSMCはこの点でも優位にある。
- 非回路研究者が感じている「回路設計のハードル」を下げるような施策が望ましい。

History: ITRS/SIAからIRDS/IEEEへの変遷

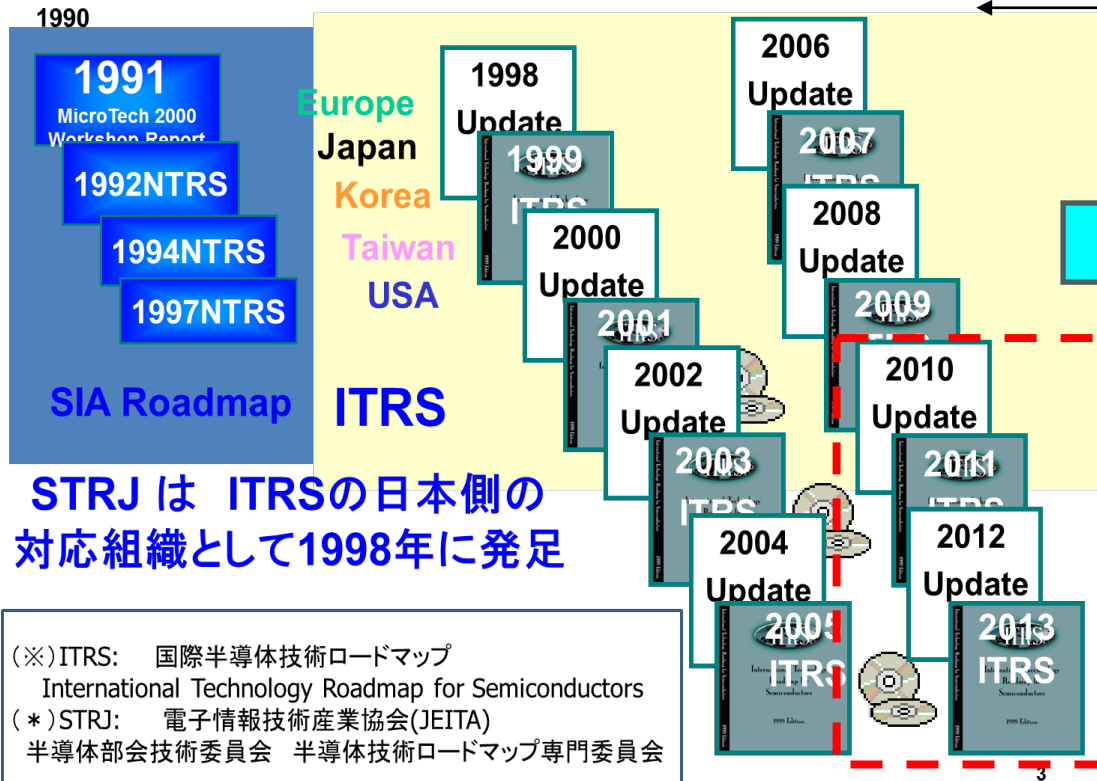
ITRS: 半導体ムーア則をベースとした技術ロードマップ

◆ 業界 (SIA/JEITA) のコミットベース

IRDS: 典型的応用分野を起点にした、統合的なシステムデバイスロードマップ

- ◆ 学会ベース
- ◆ 有識者の技術知見の集約
- ◆ パブリックドメインベースの国際議論サロン

中止 2015 ← 2016 JSAP/SDRJ産学連携委員会 設立@2017



1. Applications Benchmark (AB)
2. Systems & Architecture (SA)
3. Outside System Connectivity (OSC)
4. Moore Moore (MM)
5. Beyond CMOS (BC)
6. More Than Moore (MtM)

7. Packaging Integration (PI)
8. Factory Integration (FI)
9. Lithography (LI)
10. Metrology (MeT)
11. Yield Enhancement (YE)
12. Environment, Safety & Health (ESH)
13. Cryogenic Electronics and Quantum Information Processing (CE&QIP)

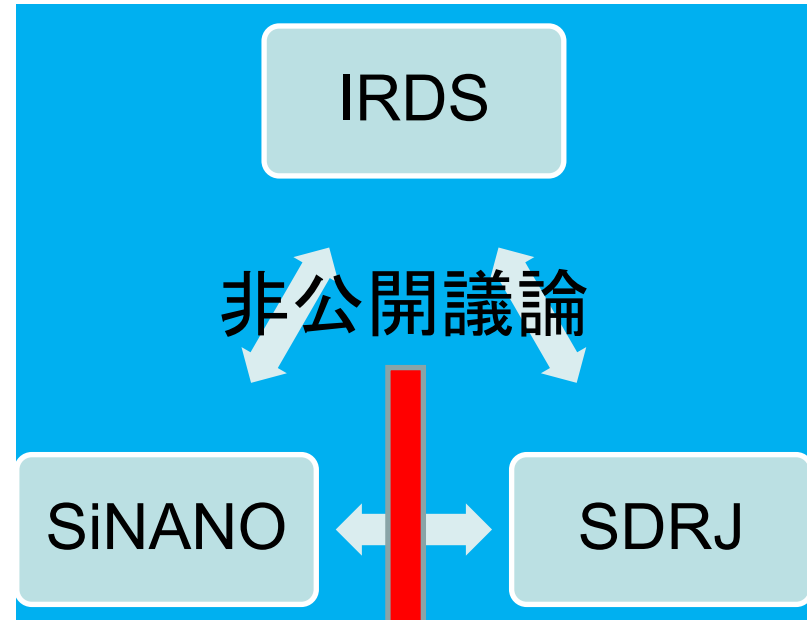
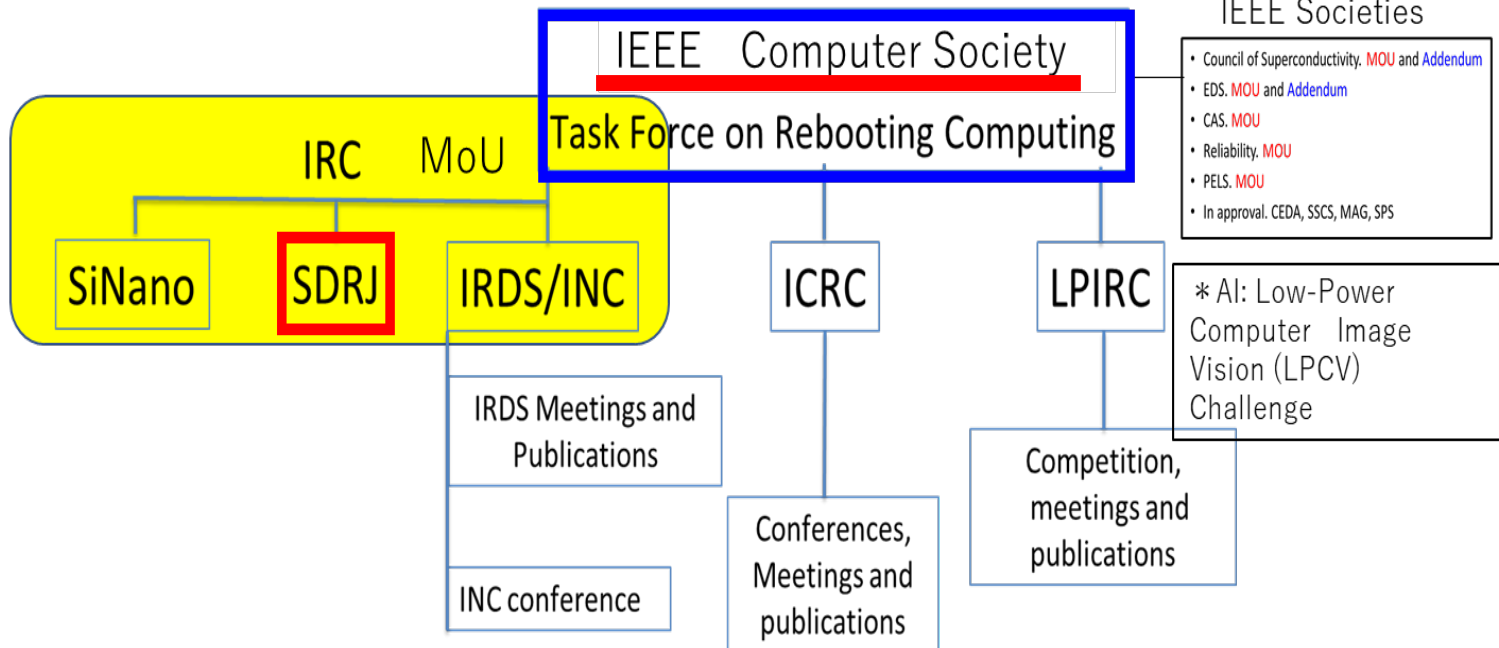
SDRJと国際アライアンスについて



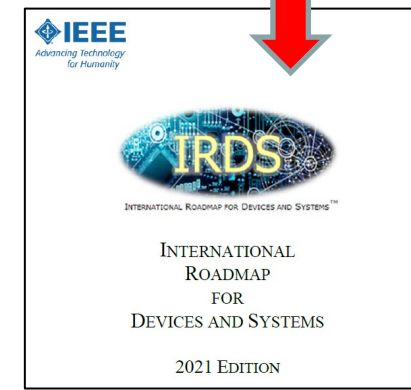
International Organization IRDS: IEEE Computer Societyがオーナー

IRC: International Roadmap Committee

- ◆ Chair: Paolo Gargini (Ex-ITRS chair)
- ◆ Vice: Tom Conte (ex-President of IEEE Computer Society, Co-chair of IEEE Rebooting Computer Initiative)
- ◆ Secretary: Fernando Guarin (President of IEEE EDS, Global Foundry)
- ◆ IRC/JP: Y. Hayashi (Chair of SDRJ, KEIO)
H. Ishiuchi(SDRJ Committee)
N. Takaura (SDRJ Committee, Kokusai-electric)
- ◆ IRC/EU M. Graef (U. Tufts)
Francis Balestra (IMEP, FR)



合意事項をwww公開



メジャー改定:
・2年毎
マイナー改定
・1年毎